

## Phase change recording apparatus having front and rear pulse changing means

Patent Number: US6044055

Publication date: 2000-03-28

Inventor(s): HARA MASAAKI (JP)

Applicant(s): SONY CORP (JP)

Requested Patent: JP10091961

Application Number: US19970932069 19970917

Priority Number(s): JP19960245879 19960918

IPC Classification: G11B7/09

EC Classification: G11B7/125C, G11B7/00M2P, G11B19/04, G11B20/14A

Equivalents: CN1180888

### Abstract

Where data are recorded onto a phase-change disk according to the MCAV (modified constant angular velocity) scheme to enable high-density recording and high-speed random access, marks and spaces are formed by using recording pulses having a front end pulse and a rear end pulse that are delayed so as to be suited to each of a low linear velocity zone and a high linear velocity zone. This is done by changing the pulse widths of the front end pulse and the rear end pulse by varying the positions of the rising edge and the falling edge of the front end pulse and the rear end pulse, respectively, that constitute the recording pulses. Thus, recording compensation suitable for each linear velocity is effected.

Data supplied from the **esp@cenet** database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-91961

(43) 公開日 平成10年(1998)4月10日

(51) Int.Cl.<sup>6</sup>  
G 1 1 B 7/00  
11/10

識別記号  
586

F I  
G 1 1 B 7/00  
11/10

L  
586B

審査請求 未請求 請求項の数16 O.L. (全 23 頁)

(21)出願番号 特願平8-245879

(71)出願人 000002185

(22)出願日 平成8年(1996)9月18日

ソニー株式会社

東京都品川区北品川 6 丁目 7 番35号

(72) 発明者 原 雅明

東京都品川区北品川6丁目7番35号 ソニービル  
一株式会社内

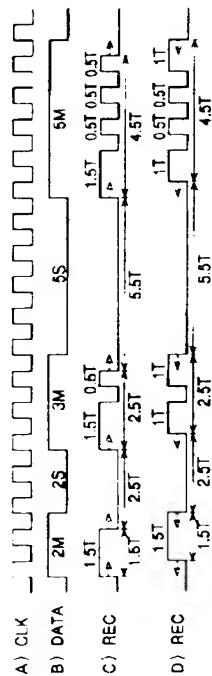
(74) 代理人 弁理士 稲本 義雄

(54) 【発明の名称】 データ記録装置およびデータ記録方法、並びに記録媒体

(57) **【要約】**

【課題】 高密度記録および高速ランダムアクセスを可能にする

【解決手段】 相変化ゲノスクに対して、データを、MCAX (Modified Constant Angular Velocity) 方式で記録する場合において、線速度が低速のゾーンにおいては、図2-(C) に示す記録ハルスとしたがて、また、線速度が高速のゾーンにおいては、図2-(D) に示す記録ハルスとしたがてマーカリストームを形成する。即ち、図2-(C) と図2-(D) に比べて点線を承認するに、記録ハルスを構成する始端ハルスまたは終端ハルスそれぞれの立ち上がりエッジまたは立ち下がりエッジの位置を、ゾーンに対応して変化させることによって、それらのハルス幅を変化させることによって、各線速度に適した記録品質を実現する。



### 【特許請求の範囲】

前記始端バルスの始端エッジの位置を変化させることにより、そのバルス幅を変化させる始端バルス変化手段と、

前記終端ハルスの終端エッジの位置を変化させることにより、そのハルス幅を変化させる終端ハルス変化手段とを備えることを特徴とするデータ記録装置

【請求項2】 前記記録媒体に記載したがって、前記記録媒体にマークとスペースを形成することにより、前記データを記録する記録手段をさらに備え、前記始端マーク変化手段または終端マーク変化手段それぞれは、前記記録媒体に記録手段との間に相対速度に基づいて、前記始端マークまたは終端マークの位置を変化させることを特徴とする請求項1に記載のデータ記録装置

【請求項3】 前記始端エンド変化手段または終端エンド変化手段それぞれは、前記データに基づいて、前記始端エンドまたは終端エンドの位置を変化させることを特徴とする請求項1に記載のデータ記録装置

【請求項4】 クロックに対応するハルフ幅を丁とするとき、

前記始端ハーフ変化段または終端ハーフ変化手段それ  
ぞれは、前記始端ハーフまたは終端ハーフでハーフ幅  
を、0.5T乃至1.5Tの範囲で変化させることを特  
徴とする請求項1に記載のバーフ設計装置

【請求項5】 始端パレット、エンドパレット、および感熱端パレットを合成して得られる記録パレットに付したがってデータを記録媒体に記録するデータ記録方法であつて、

前輪操縦輪、ハンドル操縦輪、ハンドル位置を変化させることが可能である。ハンドル幅を変化させることにより、前輪操縦輪、ハンドル操縦輪、ハンドル位置を変化させることが可能であり、ハンドル幅を変化させることを特徴とする。タクシードライブ装置

【説】**説6** 『姫御』は人、『女』は不人御者、『御』は『後醍醐天皇の御名』の合成! 『女御』の記録が『御』に付くが、『御』は『御』の後醍醐天皇の御名を形態化する『御』より『女御』が記録された複数媒体である。

前記主端子と次端子との位置を変化させ、主端子と次端子との間隔を縮めることにより、

ルス幅の始端バルスを生成する始端バルス生成手段と、前記第一の終端を先の終端とする、1クロック分のルス幅の終端バルスを生成する終端バルス生成手段と、前記第一の終端バルスを生成する遅延手段と、第1の遅延量を、第1の遅延量を、前記第一の遅延手段と、所定量のクロックだけ時間的に先行する前記データを、第2の遅延量だけ遅延する第2の遅延手段と、前記始端バルス生成手段、終端バルス生成手段、並びに第1および第2の遅延手段の出力を論理演算することで、前記録媒体バルスを生成する記録バルス生成手段とを備え、

1 クロマクに対応するハルク幅を I とするとともに、前記記録ハルスの H または L レベルからもその一方を M と、他方を S と表すとき、長さが n 本のマーク（但し、n は整数）に対応する前記記録ハルスが、式  $x S + (1, 5 - x) M + (n - 2) (0, 5 S + 0, 5 M) + y M + (0, 5 - y) S$ 、または式  $x S + (1, 5 - x) M + (n - 3) (0, 5 S + 0, 5 M) + 0, 5 S - y M +$

11.

【請求項8】 前記第2の遅延手段が、半クロックまたは1クロックだけ時間的に先行する前記データを遅延するとき、長さがnTのマークに対する前記記録バルスが、式 $xS + (1, 5-x) + (n-2)(0, 5S + 0, 5M) + yM + (0, 5-y)S$ 、または式 $xS + (1, 5-x)M + (n-3)(0, 5S + 0, 5M) + (0, 5S + yM + (1, 0-y)S$ でそれぞれ表されることを特徴とする請求項7に記載のデータ記録装置。

【請求項9】 前記第1または第2の遅延量xまたはy 30 日(0.1万キロ)、5キロの範囲の直上であることを特徴とする。

請求項7に記載のデータ記憶装置

【請求項10】 前記記録ハルク生成手段は、  
クロック、前記始端ハルク生成手段、および終端ハルク  
生成手段の出力の論理積を演算する第1の演算手段と、  
前記第1才より第2の逻辑手段の出力の論理積を演算する  
第2の演算手段と、  
前記第1才より第2の演算手段の出力の論理積を演算する  
第3の演算手段と有することを特徴とする請求項7  
の記載をもつた記録装置。

40 【請才項1-1】 前記第1項1-1は第2の遅延量 $x$ または $y$ それを適応的に設定する遅延量設定手段をさらに備えることを特徴とする請求項7に記載のデータ記録装置

【請上道1-2】 並記述錄。先不記上道，後記述錄。錄體，即上道與上記述錄之形成中之事件來來，前記述錄之事件在上道中之記錄手段在記述錄備之。

和其对应的量度手段以，前記該媒體上記錄手段之間  
不相好處更甚於此。前記第十一章第22項稱量 x

【請求項1-3】 前記遅延量設定手段は、前記データに基づいて、前記第1または第2の遅延量 $\times$ よりはそれを減ずる手段を特徴とする請求項1-1に記載した各部構成

【請求項1-4】 少なくとも、前記始端バルブ生成手段、終端バルブ生成手段、第1および第2の遅延手段、並びに記録バルブ生成手段が1チップ化されていることを特徴とする請求項7に記載のデータ記録装置

【請求項1-5】 前記第1および第2の遅延手段は、インバータが構成されることを特徴とする請求項7に記載のデータ記録装置

【請求項1-6】 所定の遅延量に必要な前記インバータの段数を測定するための測定手段をさらに備えることを特徴とする請求項1-5に記載のデータ記録装置

#### 【発明の詳細な説明】

##### 【00001】

【発明の属する技術分野】 本発明は、データ記録装置がよりデータ記録方法、並びに記録媒体に関する特に、例えば、相変化ディスクなどの記録媒体にマークとスペースを形成することによって、データを記録する場合に用いて好適なデータ記録装置およびデータ記録方法、並びに記録媒体に関する。

##### 【00002】

【従来の技術】 次世代の高密度記録媒体として、相変化ディスクが注目されている。相変化ディスクへの情報の記録は、図1-4に示すように、所定の融点以上（例えば、600度程度）に加熱して急冷するビモルフアス状態となり、また、融点以下（例えば、400度程度）に加熱して直ちに冷却すると再結晶化する記録膜の性質（相変化）を利用して行われ。情報の再生は、アモルファス状態で異なる光の反射率を利用して行われる。一方、アモルファスまたは結晶部分それぞれは、通常、マークまたはスペースと呼ばれ、従って、相変化ディスクの記録媒体（記録媒体）では情報に対するマーク化が半導体化されることが、これまで行われる限りであります。

【00003】 ところで、例えば、特にディスク（薄膜など）に付与される光波長でディスクに対しては、磁界変調方式（ここで電子レーザトライバ電子）が考慮されるが、高密度記録、再生が困難となる。一方、電磁調方式であれば、高密度記録、再生を行うことが可能であるが、電子回路オーバーライドを実現するには、特殊な記録膜を用いる必要がある。

【00004】 ところで、相変化ディスクでは、図1-5に示すように、レーザを一括して（前記1-6）より高輝度（記録、再生）によって、並びに強度を上げて、マークとスペースを形成する。そこで、焼付されてしまう、データ消去（一括して、データ記録）が実現される。データを一括して、データ記録が容易に実現ができます。また、データ再生は、記録膜の相変化を認

さない程度の低いリー（再生レベル）のレーザ光を照射することによって行われる。即ち、リモルバストであるリモルバストが現れ、結晶化され、データが記録されることは、焼付によって、データが記録されることは、焼付によって、データが再生が行われる。

【00005】 相変化ディスクには、上述したように、容易に電子レーザトライバ回路を行なうことができる他、光磁気ディスクと比較して、（1）リックアップ（光ピックアップ）の構造が簡単、（2）再生信号が大きく、（3）ZNが高い、（3）記録層の熱伝導度が小さく、消去動作温度が高いため、隣接データのマークをさして影響を及ぼしありにくく、トライックの高密度化が可能、

（4）データの再生を反射率のみでない、反射光の位相差を利用して行なうことにより、微小なマークの信号強度を大きめにすることができる、などの高密度化やすい利点がある。

【00006】 さて、相変化ディスク（記録媒体）は、純粹な熱媒体であり、従って、高密度記録を実現するためには、データの記録、消去を行なうときの熱の管理が最も重要な。

【00007】 相変化ディスクに対するデータの記録方式としては、様々な長さのマークおよびスペースを形成することにより、その両方の長さに対して情報を割り当てるマークエンド記録方式がある。このマークエンド記録方式によれば、比較的長いマークを形成するためには、記録バルブのレーザ光が長時間照射される場合があるが、この場合、記録膜の蓄熱効果により、マークの後半部分ほど、ディスク上径方向の幅が大きくなつた、複製のマークが形成される。この上半な複製のマークを再生する上、奇絶な誤認の原因となる。理想的な位置に記録されるため、マークの半分が増加する。

【00008】 そこで、マークの後半部分において、直径方向の幅が広がるときに、レーザ光を発するレーザダイヤルトライバの発光手段を、一括して駆動することでより、マークの後半部分の照射光量を削減する記録方式Aがある。

【00009】 その記録方式Aにすれば、図1-6（A）に示すように、マークトライバ（マーク）に対するリモルバストを下に示す。また、記録トライバ（マーク）は、は整な形は、改めて記される信号Aにより、マークトライバ下を駆動することにより形成され、以下、適宜、マークトライバの発光手段を駆動するための信号を記録トライバと呼ぶ。

##### 【00010】

A: 1.5M, B: 2.0, C: 0.5, D: 0.5, E: 1.0

図1-6Mは、長さ1.5M、C: 0.5M、Sは、長さT-1.5M、Dは、長さ0.5M、Mを上に、E: 駆動回路、SをT-1.5Mに掛けて、S: 駆動回路

【00011】 そこで、データ列A-6（B: 2.0, C: 0.5, D: 2.0M）を前提下、即ち、A: 1.5Mの場合、図1-6

ら、 $1, 5M + 0, 5S$ の記録バルブA ( $1, 5T$ のH)によって、レーザダイオード ( $0, 5T$ ) が駆動される。また、 $1, 5M + 0, 5S$ の記録バルブA ( $1, 5T$ のH)によって、レーザダイオード ( $0, 5T$ ) が駆動される (図16 (C))。また、 $1, 5M + 0, 5S$ の記録バルブA ( $1, 5T$ のH)によって、レーザダイオード ( $0, 5T$ ) が駆動される (図16 (C))。さらに、データ (図16 (B)) が、例えば、 $5M$ である場合、即ち、 $n = 5$ の場合、 $1, 5M + 0, 5S$  ( $= 1, 5M + 0, 5S + 0, 5M + 0, 5S + 0, 5M + 0, 5S + 0, 5M + 0, 5S$ ) の記録バルブAによって、レーザダイオードが駆動される (図16 (C))。

【0012】なお、記録方式Aにおいて（後述する記録方式Bについても同様）、データのnSの部分についての説明（ループAは、そのままでnSとされる）

【0013】しかししながら、記録方式Aでは、マークの後半部分で照射光量が弱くなるため、その位置部分のマッピングが熱的に不安定になり、特に、記録時の線速度が高速である場合には、その位置の変動が顕著になる課題があった。

【0014】そこで、例えば、「相変化ディスク用高速記録レート・高密度記録方式の検討」、吉宮一他、テンピジョン学会技術報告、IEE Technical Report Vol. 17, No. 79, pp. 7-12, VIR' 93' 83, (Dec. 1993) (以下、文献1といふ) や、特開平6-295440号公報 (以下、文献2といふ) 、特開平7-129959号公報 (以下、文献3といふ) などには、マークの終端部分に、ある程度のを量を担保する記録方式が開示されている。

【0015】この記録方式Bにはれば、長さがれのマークが、次式で示される記録セルBによってレーザダイヤモンドを駆動することにより形成される。

〔 0 0 1 6 〕

$$\lambda = 1.0M \cdot t_1 \geq 0.5M + 0.5M + 0.5M + \dots \quad (2)$$

【0017】 続いてデータ図16-(B)の例を  
例え、2Mである場合(即ち、n=2の場合、式(2)の  
左、 $1.0M+0.5M+0.5S+1.5M+0.5S$ の記録が3B7として、データが上記運動を  
示す図16-(D)と、また、データ図16-(B)と  
が、例え、3Mである場合(即ち、n=3の場合、  
左、 $1.0M+0.5S+0.5M+0.5M+0.5S$   
左、 $1.0M+0.5S+1.0M+0.5S$ の記録が3B7  
B7として、データが上記運動を示す(図16  
(D))と、また、データ図16-(B)と  
が、5Mである場合(即ち、n=5の場合、左、 $1.0M+0.5S+0.5M+0.5M+0.5S+1.5M+0.5S+0.5S+1.0M+0.5S$ の記録が3B7と  
が、データが上記運動を示す(図16-(D))と

いても、例文は、2年や3年生などの使い方や、一つの語が使われる範囲、特に、単語、名詞、動詞、形容詞、副詞、接頭語、接続詞、助詞、助動詞、動詞の語形変化、理想的な構造など、これらにより、単語一つ一つの増加する課題があつた。

【0019】そこで、上述の文献1および3などでは、短いマークおよびベースに対応するデータを検出し、そのようなデータに対応する記録バルスについては、その始端部分のエッジと、終端部分のエッジの位置を変化させることにより、熱干渉などに起因するエッジの位置ずれを補償して記録を行う方法（記録補償方法）が開示されている。

【0020】図17は、そのような記録補償を行ひ、従来の記録補償回路の一例の構成を示している。

【0021】始端・ルフ・エオレータ101、ゲートジッキンレータ102、終端・ルフ・エオレータ103、およびマーカーステップ長検出器104には、記録すべき情報を変調した変調レータ([図16(1)])が内蔵されるようになされている。

20 【0022】ここで、変調データは、例文は、(1),  
 7) RLL (Run Length Limited) と NRZI (Non Re-  
 turn to Zero Inverted) を組み合わせて、情報を変  
 調することにより得られるものであり、従って、変調デ  
 タには、孤立した反転は存在しない。また、その最小  
 反転幅または最大反転幅は、それぞれ1または8である  
 (従って、この場合、式(2)におけるnは、2乃至8  
 の範囲の値となる)

【0023】始端・リニアモータ101では、変調データの立ち上げ時は、1.5V, 0.5Vだけ離れた位置

30 分の直線が5、4、3端部1丁の始端バルス(3)。  
(2)における右辺の第1項1、OMに対するもの  
が作成され、ディテクタ、108を介して、OR  
ゲート110に供給される。

【0024】また、前記式子(1)～(4)では、各論理積(演算子)は、式(2)に示すように、掛かる係数の幅のターミナルが生成され、ANDゲート109の一枚の人力端子に供給される。ANDゲート109の他の人力端子にはクロック信号G、ANDゲート供給される計4つ、ANDゲート109の制御ターミナルに供給される論理積(演算子)は、各論理積(演算子)の幅の第2項( $n=2$ ) ( $0, -5S, 0, -5M$  など)、最後の  $0, -5M$  を除いたもの(後述するルルス)が生成され、ORゲート110に供給される。

て、ORゲート110に供給される。

【0026】OR5-4-110では、始端がループ、途中がループ、終端がループの3種類の構造が記述され、論理積計算が行われる。式(2)で示すように各記述がAND(B(式1) AND D(式2) )によって出力される。

【0027】一方、マークノースペース検出器104では、変調データから、例えば、2Tや3Tなどの長いペークおよびスペークに対応するものが検出され、その検出結果が、セレクタ105および106に供給される。セレクタ105または106では、マークノースペース長検出器104からの検出結果に基づいて、始端ペルノまたは終端ペルノを遅延する遅延量が決定され、ディレイライジ108または109にそれぞれ供給される。

【0028】ディレイライン108または109それぞれでは、始端バルブまたは終端バルブ、セレクタ105または106が供給される遅延量が遅延されて出力される。

【0029】以上のようにして、無バッテリおよびバッテリに対するバッテリ端子に対する記録バルブについて、その始端部分の位置と、終端部分の位置の位置が変化され、これにより、熱毛がなどに起因するエッジの位置ずれの記録補償が行われる。

[0 0 3 0]

【発明が解決しようとする課題】ところで、充電ディスクや充電ディスクなどには、CAV (Constant Angular Velocity) 方式で、データが記録される。CAV 方式では、角速度 (ディスクの回転速度) が、一定であるため、データレートが一定であれば、碟密度は、ディスクの内周側では高い、また、外周側では低いなり。そこで結果、全体として碟密度は下るなり。

【0.0.3.1】「並行对比」、CLV(「Constant」Linear Velocity) 方式でデータを記録する場合には、線速度が一定であるため、データレートが一定である。轉換倍率も一定となり、その結果、全体を通して記録容量を大きめにすることができる。しかし、CLV 方式では、データを高速運動するドーム上に下げる回転数を、その車内から最終的に見て連続的に変化させる必要がある。回転の基礎原理による

【0.0.1.2】 ここで、一般的な角度変換器輸出に対する長い時間、制御範囲があること、CAN方式の利点と、記録容量を大きくすることができる点やCAN方式の利点との両方を重視開発した方式で、MICAN (Modular CAN) (MICAN™はZone CAN™)を実現する。

ように制御され、これにより、C.I.V.方式と同様に一記録容量を大きさずすることができるようになされてい

【0034】相変化記録は、「記録補償を施せば記録する場合」記録補償が視聴され、中止まで一定の記録補償で対応することができる。繰速度が一定のCLLV方式を採用するのが好ましい。即ち、相変化ディスクへの、一々の記録は、純粹な熱記録であるから、繰速度が一定であれば、一定の記録補償を施せば済む。

【0035】しかししながら、CLV方式では、トラバース（トラックジャンプ）した場合に、ディスクの回転速度を、トラバース前の位置に適した値から、トラバース後にオペレーター位置に適した値に変化させる必要があり、それまでデータの再生を開始することができない。このため、ビデオデータなどをデータブロックの記録媒体と比較した場合には、ディスクの重要な特徴であるランダムアクセスの速度が遅くなる欠点がある。

【0036】そこで、このような欠点により、相変化データの用意が困難されるなどを防止するため、記録容量が大きめ、高速な「ダムアクセス」、即ちMICROWAY方式を採用する方法がある。

【0.03.7】しかししながら、MC AV 方式では、最内周から最外周に亘って線速度が変化するため、一定の記録補償に対することが困難である。

【0038】本発明は、このような状況に鑑みてなされたものであり、導速度に対応した記録補償を容易に施すことができるよう構成したものである。

[ 0 0 3 9 ]

【課題を解決するための手段】請求項1に記載のデータ記録装置は、始端ヘッドと終端ヘッドの位置を変化させ

30 そこで上り、下りのルタップを変化させると始端ルタップ変化手段と、終端ルタップ変化手段の位置を変化させることになります。そのルタップを変化させる終端ルタップ変化手段を備えることを特徴とする。

【0040】 諸君、墳5に記載する記録方法は、始端ルタップを変化させると位置を変化させることになります。一方、ルタップを変化させることもできます。終端ルタップを変化させる位置を変化させることもあり、それから、ルタップを変化させることが可能となります。

【0.0.4.1】請汎用性に着眼した媒体化・端端化  
40. 本規格は、この位置が変化され、その位置幅が変化されたり、終端（ルク）の終端位置が位置が変化され、その位置幅が変化されることを特徴とする。

段、終端-ループ生成手段、並びに第1および第2の遅延手段の組合を論理記憶することで、記録バブルを生成される記述バブルを生成手段を備え、1つは、 $0 \leq x \leq n-1$  で定義される式  $xS + (1, 5-x)M + (n-2) (0, 5S + 0, 5M) + yM + (0, 5-y)S$ 、または式  $xS + (1, 5-x)M + (n-3) (0, 5S + 0, 5M) + 0, 5S + yM + (1, 0-y)S$  で表されることを特徴とする。

【0043】請求項1に記載のデータ記録装置においては、始端バルブ変化手段は、始端バルスの始端エッジの位置を変化させることにより、そのバルス幅を変化させ、終端バルブ変化手段は、終端バルスの終端エッジの位置を変化させることにより、そのバルス幅を変化させることによって、記録媒体に記録するデータを記録するようになされている。

【0044】諸上項5に記載のデータ説明方法においては、始端ループ・始端エッジの位置を変化させることにより、そのバルク幅を変化させるとともに、終端ループ・終端エッジの位置を変化させることにより、そのバルク幅を変化させるようになされている。

【0045】 諸本項目に記載の記録媒体においては、始端セルスの始端エッジの位置が変化され、そのセルス幅が変化されており、終端セルスの終端エッジの位置が変化され、そのセルス幅が変化されている。

【0046】請求項7に記載のマーク記録装置においては、始端バルス生成手段は、データの始端をその始端とする、1クロック分のバルス幅の始端バルスを生成し、終端バルス生成手段は、データの終端をその終端とする、1クロック分のバルス幅の終端バルスを生成するものになされている。第1の遅延手段は、データを、第1の遅延量だけ遅延し、第2の遅延手段は、所定量のクロック数だけ時間的に先行するデータを、第2の遅延量だけ遅延するものになされている。記録バルス生成手段は、始端バルス生成手段、終端バルス生成手段、並びに第1および第2の遅延手段の出力を論理演算することで、記録バルスを生成するようになされている。1クロックに対する1つのバース幅を1ビットとするとき、記録バルスの1ビット、すなはち記録バルスをMビット出力をSビットまで展開するとき、長さがnTのマーク(ただし、nは整数)に対する記録バルスが、式 $xS + (1 - 5 - x)M + (n - 2 - (0, 5S - 0, 5M)T)vM + (0, 5 - y)S$ となる。ここで、 $xS + (1 - 5 - x)M + (n - 3) - (0, 5S - 0, 5M)T + 0, 5S + yM + (1, 0 - y)S$ と表されるものになされている。

(0047)

手段の後の括弧内に、対応する実施例（但し、一例）を付記する。本発明の特徴を記述する。次に実施例を示す。

【00-4-8】其一、請求項1-4記載のデータ記録装置は、始端ハルス、データハルスおよび終端ハルフを合成して構成される記録ハルスにしたがって、データを、記録媒体に記録するデータ記録装置であって、始端ハルス及び終端ハルフの位置を変化させることにより、そのハルフ幅を変化させる始端ハルフ変化手段（例えば、図3-10に示すハルス発生器16、プログラムブルライティライタ18、および記録信号発生器21など）と、終端ハルフを終端ハルスの位置を変化させることにより、そのハルス幅を変化させる終端ハルス変化手段（例えば、図3-10に示すハルス発生器16、プログラムブルライティライタ18、および記録信号発生器21など）を備えることを特徴とする。

【0049】請求項2に記載のデータ記録装置は、記録媒体に記録するデータを形成するときに、データを記録する記録手段(複数)は、図1に示す(ノード1~ノード3など)をさらに備え、始端ノードの変化手段または終端ノードの変化手段それそれが、記録媒体と記録手段との間の相対速度に基づいて、始端ノードまたは終端ノードの位置を変化させることを特徴とする。

(n-3) (0.5S+0.5M)+0.5S+yM+(1,0+y)S 表示打捞出来的捞数是3

【0051】演算手段10に記載する各演算手段は、論理積の生成手段、ターゲット始端ノード生成手段、および終端ノード生成手段の出力の論理和を演算する第1の演算手段(例えば、図7に示すORゲート58など)と、第1および第2の遅延手段の出力の論理積を演算する第2の演算手段(例えば、図7に示すANDゲート61など)と、第1および第2の演算手段の出力の論理積を演算する第3の演算手段(例えば、図7に示すANDゲート62など)とを有することを特徴とする。

【0052】請求項1に記載のデータ記録装置は、第1または第2の遅延量 $x$ または $y$ それぞれを適応的に設定する遅延量設定手段(例えは、図3に示すマイコン(マイクロコンピュータ)1-1など)をさらに備えることを特徴とする。

【0053】請求項1-2に記載のデータ記録装置は、記録バルクにしたがって、記録媒体ごと/or上/オーバーラップを形成することにより、データを記録する記録手段(例えば、図1に示すピックアップ3など)をさらに備え、遅延量設定手段が、記録媒体と記録手段との間の相対速度に基づいて、第1または第2の遅延量xまたはyそれぞれを設定することを特徴とする。

【0054】請求項1-6に記載のデータ記録装置は、所定の遅延量に必要なインバータの段数を測定するための測定手段(例をば、図10に示すDFE81、単位遅延素子82、ORゲート83、セレクタ84、86、NORゲート87、およびRSFF(RSフリップフロップ)88など)を有し、これを特徴とする。

【0055】なお、勿論この記載は、各手稿を上記したものに限定する事を意味するものではない。

【0056】図1は、本発明を適用したディスクドライブの一実施例の構造を示している。

【0057】バーチカルは、例えば前記をもつた相を化して、クルマの上部をモータ2によって回転駆動される。ターンテーブル2は、スピンドルモードを構成する回転モードを、モードを一回転軸の回転速度(回転数)によって運転駆動する。

エッジ記録方式によりデータが記録される

### 10.06.01.03: 楊基義

【0.060】では、本実験においては、ディスク上は、例えど、その最内周から最外周に向って、幾つか（例えど、50程度など）の「一」に分割されており、外周側の「一」ほど、データレートを高くして記録が行われる。データレートは、各「一」の最内周における線密度が一定になるように制御されるようになされており、従って、ここでは、ディスク上に対して、MC-AV方式によりデータの記録・再生が行われるようになされている。

20 【0.0.6.1】次に、図2を参照して、図1の記録用路4における記録補償について説明する。

【0062】図2は、図16と同様の波形処理であり、前述したように、式(1)または(2)によって表現される記録が式AまたはBによれば、図2(A)に示すようなクロック(4)で、同図(B)に示すような変調データが与えられた場合、同図(C)または(D)に示すような記録ハルフAまたはBがそれぞれ生成される。

【0063】ここで、記録方式Aによれば、前述したように、ディスク1の線速度、周角、ディスク1とセック

30. プラットフォームの相対速度が高速である場合、マークのエッジの位置の変動は顯著になるが、線速度が低速である場合（例えれば  $4 \text{ m} \cdot \text{s}^{-1}$  (メートル/秒) 程度）には、そのようなことがない。従って低線速度に向いていることが知られている。一方、低速方式では、線速度が低速な場合には傾いていたが、高線速度の場合（例えば  $10 \text{ m} \cdot \text{s}^{-1}$  程度）では、その傾きが知られている。

【0.064】 使って MCAV が実現する「最内側」  
「最外側」間に、重要な「底筋」の高さに変化する

場合に、目標速度を  $v_A$  とし、 $v_A$  により得られる  $\alpha_A$  の値を式 B に代入して得られる  $\alpha$  の値を用いて、目標速度  $v_A$  が変化する場合を表すことができる。

に、記録方式Bによる記録バルブBを構成する始端バルブS上に往終端バルブSそれそれの間に止損止弁F1, F2, F3, F4を組み込んだ状態を実現するようにして、データAの各端子端を変化させ、これにより、記録バルブBの記録速度（即ち、例えば、ソーンに対応して変化させるようになされている）

【0066】次に、図3は、図1の記録回路4の構成例を示している。

【0067】マイコン11は、各種の信号（CS, WR, OW, AB[15:0], CLK, D[7:0], Z[7:0]など）により、記録回路4を構成する各ブロックを制御するようになされている。ここで、例えれば、データD[7:0]という表記は、データDの第0乃至第7ビットを意味する。従って、データDが8ビット上で構成される場合、データD[7:0]は、データDそのものを表す。また、例えれば、データD[0]という表記は、データDの第0ビットを意味する。なお、第0ビットは、例えれば、LSB（最下位ビット）を表すものとする。

【0068】即ち、マイコン11は、RAM(Random Access Memory)15に対して、データD[7:0]の読み書きを行う場合、例えば、通常はHレベルになっているセレクタ信号CSをHレベルにするようになされている。また、マイコン11は、RAM15にデータDを書き込む場合、またはデータDを読み出す場合、ライタ信号WRを、それぞれHまたはLレベルにするようになされている。さらに、マイコン11は、ダイレクトオーバライドを行なうかどうか、即ち、変調データの記録を行なうかがどうかをオーバライド信号OWを出力するようになされている。

【0069】また、マイコン11は、RAM15に対してデータを読み書きする場合、そのアドレスを指定するためのアドレス信号AB[15:0]を出力するようになされている。されば、マイコン11は、記録回路4を構成するブロックが何らか必要なもの（即ち、ブロックの長を供給するもの）になされている。また、マイコン11は、RAM15に書き込むデータD[7:0]を出力するとともに、RAM15から読み出されるデータD[7:0]を受信する場合にはそれらのデータD[7:0]を受信する。されば、マイコン11は、データD[7:0]を出力するか、それを出力しないかを判断して、もしデータD[7:0]を出力するかのデータZ[7:0]を出力するようになされている。

【0070】なお、本Bの実施例においては、構成信号AB[15:0]は15ビットのアドレス信号、データD[7:0]は8ビットの信号で構成されている。

【0071】また、マイコン12には、データA上に、データAの各端子端CS、データA端子WR、データAの各端子OWから、その各端子CS上に、WR上に、そのOW11Nがそれそれぞれ給付される。これによ

れでいる。さらには、コントローラ12には、シグナ14が付与する12ビットのアドレスAA[11:0]、データAの各端子端CS、データA端子WR、データAの各端子OWから、その出力端子OE、CS、またはWRそれぞれから出力すべき信号（以下、適宜、出力端子OEから出力される信号をオペンドライブ信号OEといふ。また、出力端子CS、WRから出力される信号は、コントローラ12に入力されるセレクタ信号CS、ライタ信号WRにそれぞれ対応するので、これらの信号も、以下、適宜、それぞれセレクタ信号CS、ライタ信号WRといふ）を生成して出力するようになされている。さらに、コントローラ12は、データAA[7:4]に基づいて、変調データDATAの立ち上がり端子または立ち下がり端子を検出し、そのタイミングで、例えば、1クロックの間隔で、1レベルから

20 ハーフルになる立ち上がり端子信号R1SEまたはFALL1を、その出力端子R1SEまたはFALL1からそれぞれ出力するようになされている。

【0073】セレクタ13は、例えば、16ビットのセレクタで、そこには、マイコン11が16ビット信号OWとアドレス信号AB[15:0]が、その入力端子A/BとB[15:0]それぞれに供給されるようになされている。さらには、セレクタ13には、シグナ14が出力するデータAA[11:0]のうちの、第0乃至第3ビットおよび第8乃至第11ビットで構成されるデータAA[3:0]およびCSAA[11:8]を1位8ビ

30 ットし、マイコン11が出力するデータZ[7:0]を上位8ビットとする16ビットのデータ（このデータも、アドレス信号AB[15:0]と同様に、RAM15の15ビットのアドレスなので、以下、適宜、アドレス信号AB[15:0]と表記するが、その出力端子A[15:0]に供給されるようになされている）。

【0074】セレクタ13は、データZ[7:0]をOWがLまたはHのとき、データCSAA[11:8]の出力端子C[15:0]が、アドレス信号ADR[15:0]に対して出力するようになされている。

【0075】シグナ14は、例えば、12ビットのセレクタで、その出力は、変調データDATAリード（即ちCLKの入力端子D11とCLK端子それに供給されるように記述されている）。シグナ14は、12ビットのシグナを内蔵している。これは、CLKに同期して、そのシグナ1LSBは、成調データDATA入力を複数回子供され、その間に各端子Dを、1時刻内に、常に80 その端子D[11:0]を1端子にまとめて出力するようになされ

ている。シフト14が内蔵するレジスタの記憶値。即ち、12ビット単位のデータを第3ビットAA「3:0」、第4ビットAA「4:4」、および第8乃至第11ビットAA「11:8」に割り当て、上述したように、第0乃至第3ビットAA「3:0」および第8乃至第11ビットAA「11:8」はセレクタ13に供給され、第4乃至第7ビットAA「4:4」はコントローラ12に供給されるようになされている。

【0076】なお、変調データAA「11:0」のうちの第3ビットAA「3:0」は、マルチハルス発生器16にも供給されるようになされている。

【0077】RAM15は、例えば、16ビットのアドレス空間を有し、8ビットのデータを記憶するRAMで、そこには、コントローラ12からチップセレクト信号CSまたはライド信号WRが、その人力端子CSまたはWRにそれぞれ供給されるようになされている。また、RAM15には、セレクタ13からアドレス信号ADR「15:0」が、その人力端子A「15:0」に供給されるようになされている。また、RAM15のデータ端子DINには、マイコン11が出力するデータD「7:0」が供給されるようになされている。

【0078】RAM15は、チップセレクト信号CSがHレベルで、かつライド信号がHレベルのとき、マイコン11が出力するデータD「7:0」を、アドレス信号ADR「15:0」で表されるアドレスに記憶し、また、チップセレクト信号CSがHレベルで、かつライド信号がLレベルのとき、アドレス信号ADR「15:0」で表されるアドレスから、データD「7:0」を読み出し、データD「7:0」にて、その出力端子DOUT「7:0」から出力するようになされている。

【0079】マルチハルス発生器16には、シフト14から12ビットの変調データAA「11:0」のうちの第3ビットAA「3:0」、セレクタ端子11DATAを供給される。また、シフト14がセレクタ13に、その人力端子C15C16に供給されるようになされている。

【0080】マルチハルス発生器16は、変調データの第3ビットAA「3:0」を各セレクタ端子に基づいて、終端ハルスとなるデータDATA1、データDATA2となるデータMP、および始端ハルスとなるデータDATA2を生成し、それそれを、その出力端子Q1、MP、Q2に供給されるようになされている。

【0081】シフト14が出力するデータD「7:0」もまた、DEF19または20が供給される4ビットDATA1をセレクタDATA1またはDATA2をそれぞれ供給する。また、シフト14が供給するデータDATA1またはDATA2をセレクタDATA1またはDATA2とし、それをセレクタ端子OUTに供給するようになっ

れている。

【0082】DEF19または20は、RAM15から出力されるデータD「7:0」を、シフト14が、DO「10:0」またはDO「7:4」を、シフト14が、DO「10:0」またはDO「7:4」を、コントローラ12から供給される立ち上がりエッジ信号FALLまたは立ち上がりエッジ信号RISEのタイミングでマッチし、データFALL\_DATA「3:0」またはRISE\_DATA「3:0」として、プログラムマブルダイレイン17または18にそれぞれ供給するようになされている。

【0083】記録信号発生器21は、プログラムマブルダイレイン17または18それぞれからの遅延データDATA1またはDATA2、およびマルチハルス発生器16からのデータMPを用いて論理演算を行うことで、図2で説明したような記録バルスを生成し、その出力端子RECが出力するようになされている。

【0084】ゲート回路22は、例えば、8ビットの3データのデータで、RAM15から読み出されるデータDO「7:0」を受信し、コントローラ12が出力するデータ名レベル信号OEが、LまたはHレベルのうちの、例えはHレベルである場合のみ、その受信したデータDO「7:0」を、データD「7:0」として、マイコン11に供給するようになされている。

【0085】以上のように構成される記録回路4では、マイコン11において、記録バルスを構成する始端バルスの遅延量xおよび終端バルスの遅延量y（後述するように、これらの遅延量により、記録バルスを構成する始端バルスまたは終端バルスの立ち上がりまたは立ち下がりの位置が変化され、これにより、それぞれのゲート幅が変化される）としてのデータD「7:0」が、線速度。即ち、例えは、ここでは、データD「7:0」に設定され、RAM15に供給されて記憶される（このような物理が実現されるモードを、データ設定モードといい）、データにて、マイコン11がデータ（記録用）に設定され、データD「7:0」に基づいて遅延時間xまたはyが生成される（このような処理が行はれるモードを、データ生成モードといい）。

【0086】記録データ記録モードに該する、即は、マイコン11は、データD「7:0」信号CSを出力せず、信号WRを出力する。データD「7:0」信号CSを出力する場合は、データD「7:0」信号CSを出力する。

【0087】さらに、マイコン11は、データD「7:0」に遅延時間xまたはyにて対応する4ビットのRISE\_DATA「3:0」またはFALL\_DATA「3:0」を出力され設定し、RISE\_DATA「3:0」を上位4ビットにて、FALL\_DATA「3:0」を下位4ビットにてする。データD「7:0」を生成する。

【0088】一方、記録回路は、線速度に対応して行う「記録モード」におけるデータ出力と、「記録モード」

50「記録モード」におけるデータ出力と、

る。特に、前述したように、無リード・タグバーストに対応する必要がある。

【0089】そこで、マイコン11では、データAD1の遅延量を算出して、その遅延量が記録されるデータAD1の長さ（即ち、記録される変調データ）にも適したもののが設定されるようになされている。

【0090】具体的には、例えば、変調データの中の、ある連続する12ビットに注目した場合には、その上位4ビットと下位4ビットの合計8ビットと、その変調データが記録されるゾーンとの両方に基づいて、最適な遅延量としてのデータAD「7：0」が求められる。

【0091】このデータAD「7：0」は、マイコン11からRAM15に供給される。

【0092】なお、データAD「7：0」は、例えば、あらかじめ実験などを行うことにより決めておき、トランザクション（Read Only Memory）などに記憶させておこうとするのが好ましい。この場合、マイコン11には、データ設定モード時に、そのROMから、データAD「7：0」を読み出せるようにすればよい。

【0093】マイコン11は、上述したように、変調データの中の、ある連続する12ビットに注目した場合には、その上位4ビットと下位4ビットの合計8ビットで構成されるデータAD1と、その変調データが記録されるゾーンとの両方に基づいて、最適な遅延量としてのデータAD「7：0」を得ると、8ビットのデータAD1を上位アドレスとし、また、ゾーンを表す、例えば8ビットのデータAD2を上位アドレスとして、16ビットのアドレス信号AB「15：0」を生成し、セレクタ13に出力する。

【0094】上述したように、いま、現行（データ）信号CSは、トランザクションから、セレクタ13においては、人力端子B「15：0」に人力される。マイコン11からのアドレス信号AB「15：0」が選択され、アドレス信号ADR「15：0」（即ち、RAM15に供給される）。

【0095】一方で、本は、データAD1、データAD2のほか、データ信号CSが人力され、信号WEを「1」に、即ち、データ信号CSが人力され、信号WEを受信するが、データAD1は出力され、データ信号CSが人力され、信号WEを、RAM15に出力される。

【0096】従って、RAM15においては、アドレス信号ADR「15：0」が承認されると、データAD「7：0」が選択される（書き込まれる）。

【0097】（1）の場合で、RAM15では、データAD1は遅延量を算出して、これに適成されるデータAD2が生成される。即ち、記録される変調データは、遅延量によって対応する各種のデータAD「7：0」を記憶する。

【0098】次に、RAM15に記憶されたデータAD「7：0」が選択されると、それを確認するため、セ

ルアドレアADR「15：0」に対するデータD「7：0」をRAM15から読み出す場合には、マイコン11は、データAD1の前信号CSを出力する。このとき、データAD1のWE端子は、データAD1の信号OWをしない。即ち、書き出し時、マイコン11は、アドレスAB「15：0」をセレクタ13に出力する。この場合、コレクタロード12は、Hレベルのチップセレクタ信号CSと、Lレベルのライト信号WRを、RAM15に出力するとともに、Hレベルのネガブル信号OEを、データ回路22に出力する。また、セレクタ13は、マイコン11からのアドレスAB「15：0」を選択し、アドレス信号ADR「15：0」としてRAM15に出力する。

【0099】RAM15は、Hレベルのチップセレクタ信号CS、Lレベルのライト信号WR、およびアドレス信号ADR「15：0」を受信すると、上述したように、アドレス信号ADR「15：0」に対するアドレスABが選択され、データAD「7：0」を読み出し、データDO「7：0」として、データ回路22に出力する。データ回路22は、上述したように、Hレベルのネガブル信号OEを受信すると、RAM15からのデータをマイコン11に出力するから、これにより、RAM15から読み出されたデータDO「7：0」は、マイコン11に供給される。

【0100】次に、オーバライトモード時ににおいては、マイコン11は、チップセレクタ信号CSおよびオーバーライド信号OWをHレベルにして、オーバーライド信号WRをLレベルにして。さらに、マイコン11は、セレクタ13がデータセレクタしているゾーンを認識し、そのゾーンに対応するデータZ「7：0」を、セレクタ13に供給する。

【0101】また、この場合、セレクタ14は、クリクリクル（L長）に同期した変調データDATAが供給される。セレクタ14は、クロックCLKのタイミングで、それに同期される変調データDATAを、内部内蔵する41個のデータのレジスターのLSBに記憶する。その41個のデータの初期値を「0」にして、取り組み得られる12ビット領域の変調データAA「11：0」を出力する。この12ビットの変調データAA「11：0」の第1ビット（第0位）第3ビット（AA「11：8」）は、セレクタ13に、第3ビット（AA「7：4」）はコレクタロード12に、それそれ供給される。

【0102】セレクタ14が出力するデータAA「7：0」は、セレクタ14が前記する変調データAA「3：0」またはDATA「11：8」（即ち、AA「11：8」の第11ビット～第16ビット）である。セレクタ14がデータAA「7：0」を出力するとき、セレクタ14は、アドレスAB「15：0」、変調データAA「3：0」、またはDATA「11：8」（即ち、第16ビット～第1ビット）を出力する。

AB' [15:0] が構成され、セレクタ1-3の入力端子A [15:0] に供給される。

【0.1.0.3】 一方、場合、データAを供給するRAM1-5に供給されるアドレス信号ADR [15:0] が選択され、アドレス信号ADR [15:0] として、RAM1-5に供給される。

【0.1.0.4】 一方、コントローラ1-2は、Hレベルのチャップセレクト信号CSと、Lレベルのサイト信号WRを受信すると、それらと同様のチャップセレクト信号CSおよびサイト信号WRを、RAM1-5に出力する。

【0.1.0.5】 従って、この場合、RAM1-5においては、アドレス信号ADR [15:0] に対応するアドレスから、データID [7:0] が読み出され。データDO [7:0] として出力される。即ち、この場合、変調データを記録するゾーン(線速度)に適した遅延量において、その変調データに対応するデータDO [7:0] が、RAM1-5から出力される。このデータDO [7:0] のうち、上位4ビットDO [7:4] は DFE2-0に供給され、下位4ビットDO [3:0] は DFE1-9に供給される。

【0.1.0.6】 また、コントローラ1-2は、変調データAA [7:4] を受信すると、その変調データAA [7:4] に基いて、変調データの立ち上がりエッジおよび立ち下がりエッジを検出する。即ち、本実施例では、変調データは、上述したように、(1, 7) RLLとNRZIとの組合せにより構成されたものであるが、孤立した反転が存在しない。このため、変調データの中に立ち上がりエッジがあると、シグナタ4において変調データが記入され、以後の過程の中で、AA [7] = 0, AA [6] = 0, AA [5] = 1, AA [4] = 1となる場合が必ず生じる。また、変調データの中に立ち下がりエッジがあると、シグナタ4において変調データが記入され、以後の過程の中で、AA [7] = 1, AA [6] = 1, AA [5] = 0, AA [4] = 0となる場合が必ず生じる。

【0.1.0.7】 そして、コントローラ1-2は、AA [7] = 0, AA [6] = 0, AA [5] = 1, AA [4] = 1を検出する。立ち上がりエッジを検出したときに、立ち上がりエッジ信号RISEを出力する。また、コントローラ1-2は、AA [7] = 1, AA [6] = 1, AA [5] = 0, AA [4] = 0を検出するとき、立ち下がりエッジ信号FALLを出力する。

【0.1.0.8】 なお、変調データの最小転換幅は2ビットであるが、本実施例では、コントローラ1-2には2ビットの上位4ビットが1ビットの上位2ビットによって構成方法を変更する必要がある。

【0.1.0.9】 並に上記の信号FALLまたは2ビット

それぞれ出力される。DFE1-9または2-0は、立ち下がりエッジ信号FALLまたは立ち上がり信号RISEによって、RAM1-5のデータA [15:0] またはID [7:4] を出力する。また、DFE1-9またはID [7:4] はDATA [3:0] またはRISE DATA [3:0] として、プログラマブルディレイライン1-7または1-8にそれぞれ出力する。

【0.1.1.0】 一方、マルチバス発生器1-6は、シグナタ4からのデータAA [3] を変調データとして受信し、その変調データから、データDATA1, DATA2, MPを生成して、それらを、プログラマブルディレイライン1-7, 1-8, 記録信号発生器2-1に出力する。又は、プログラマブルディレイライン1-7または1-8では、DFE1-9または2-0から供給される4ビットのデータFALL DATA [3:0] またはRISE DATA [3:0] にしたがって、データDATA1またはDATA2がそれぞれ固定量yまたはxだけ遅延され、遅延データDDATA1またはDDATA2として、記録信号発生器2-1に供給される。記録信号発生器2-1は、20 プログラマブルディレイライン1-7または1-8それぞれからの遅延データDDATA1またはDDATA2、およびマルチバス発生器1-6からのデータMPに基づいて、記録ハルスが生成されて出力される。

【0.1.1.1】 ここで、実際の回路では、シグナタ4やRAM1-5などの仕様(動作速度)によって、プログラマブルディレイライン1-7または1-8に対して、変調データの立ち上がりエッジまたは立ち下がりエッジに対するデータDATA1またはDATA2が人力されるタイミング、また、データFALL DATA [3:0] またはRISE DATA [3:0] が人力されるタイミングとの間に現れる出力する場合がある。このような場合には、例えば、変調データAA [3] が人力されるマルチバス発生器1-6の入力端子IN DATAの前段部に、遅延路などを設けることで、上述のタイミングを考慮する必要がある。なお、これは、その他、例えは、シグナタ4が人力される前、発生器1-6に供給する変調データAA [3] が、AA [2] = 0, AA [1] = 1とAA [3] = 1, AA [2] = 0と順序を逆にすることで実現する。

【0.1.1.2】 次に、図4は、図3のコントローラ1-2の構成例を示すもの。

【0.1.1.3】 ANDゲート3-1には、変調データAA [4] が入力され、AA [5] が人力されることは省略される。また、荷重のAND(論理積)演算され、ANDゲート3-3の一方の人力端子に人力される。また、ANDゲート3-3の他方の人力端子には、NORゲート3-5の出力が人力される。また他の人力端子には、ANDゲート3-3の出力、ANDゲート3-1とNORゲート3-5の出力がAND演算され、その演算結果、即ち上位2ビットの信号FALLまたは出力される。NOE

3.5には、変調データAA[6]およびAA[7]が入力されて表示に反映されている。そこで、著者「NODI論理加算」を適用して算出された。

【01114】は、AA[7]=1, AA[6]=1, AA[5]=0, AA[4]=0のときの4ビットAN-Dゲート3-3からは、Hレベル(1)の立ち下がり時、信号FALLが outputされる。

【0115】また、ANDゲート3-2には、変調データAA[6]およびAA[7]が入力されるようになされており、そこでは、両者のANDが演算され、ANDゲート3-4の一方の入力端子に入力される。また、ANDゲート3-4の他方の入力端子には、NORゲート3-6の出力が入力されるようになされており、ANDゲート3-4では、ANDゲート3-2とNORゲート3-6との出力のANDが演算され、その演算結果が、立ち上がりビット信号RISEをして出力される。NORゲート3-6には、変調データAA[4]およびAA[5]が入力されるようになされており、そこでは、両者のNORが演算される。

【01116】 逆で、AA[7]=0, AA[6]=0, AA[5]=1, AA[4]=1のときのみ、ANDゲート3,4からは、Hレベル(1)の立ち上がり時に、信号R+SEが outputされる。

【0117】一方、マイコン11からのチップセレクト信号CSは、ORゲート3-8の一方の入力端子およびANDゲート3-9の一方の入力端子に、オーバライド信号OWEも、ORゲート3-8の他方の入力端子およびレジスタ3-7に、ライド信号WRは、ANDゲート4-0の一方の入力端子に、それぞれ入力されるようになされている。

【0120】 AND  ${}^6-540$  (11.07.23.71) *the new bands*  ${}^6-146$

【0.1.2.1】図5は、図3のマゼンバウム発生器16の構成例を示している。

【0122】要調データAA [3] であるデータDATA Aは、DEF51に供給され、そこで、クロックCLK 10 のタイミング（クロックCLKの、例えば、立ち上がり時）のタイミングでリセットされて、DEF52 およびDEF53に供給される。また、DEF51は、リセットしたデータDATAの反転出力(¬Q)を、ANDゲート57の一方の入力端子に供給する。

【0-12-3】 DFF5-3は、インバータ5-5の出力のターゲット、ク (インバータ5-5の出力)、例えば、並びにが6-2-1のターゲットなど)で、DFF5-1の出力をターゲットするように記述されており、また、インバータ5-5は15-2のターゲットが記述されるように記されてい

20 従つて、D E F 5 B 1型は、後述するD E F 5 2型と、一  
したが、より半クロックだ、期間的に先行するデータ  
が取り扱われる。この半クロックだけ進んだデータは、  
データDATA1として出力される。

【0124】一方、DEF52では、DEF54の出力が、クロックCLKのタイミングで切りされ、データDATA2として出力されるとともに、DEF54、AND54-556の一方の大刀端子、およびANDゲート57の他方の大刀端子に供給される。DEF54でも、DEF52の出力が、クロックCLKのタイミングで切りされ、その他の転送力量、AND54-556の他方の大刀端子に供給される。

【0.1.2.5】 AND<sub>4-1</sub>~5.6では、DEF.5.2の出力、DEF.5.4の反転出力とのANDが演算され、OR<sub>4-1</sub>~5.8に供給される。また、AND<sub>4-1</sub>~5.7では、DEF.5.1の反転出力、DEF.5.2の出力とのANDが演算され、これ、OR<sub>4-1</sub>~5.8に供給され

【0-12-6】 OR 9-1-38, 51-1 AND 9-1-38, 51-1  
と 35-7 の出力。他の 9-1-38, 51-1 の出力も同じ  
ようにして、これは OR の出力であり、その論理結果  
は、文字名 NBR によって出力される。

【0127】[3]6は、[4]3の説明書参照発生器24の構成例を示す。以下

ようになされており、ANDゲート6-2では、ANDゲート6-1の出力と、ノンAMPよりANDが演算され、その演算結果が、(x+y)M<sub>1</sub>として出力される。

【0.1.3.9】次に、(x+y)M<sub>1</sub>を供給して、(x+y)マルチバ尔斯発生器1-6、プロセッサブルディレクション1-7、1-8、および記録信号発生器2-1の部分の処理について、さらに説明する。

【0.1.3.0】なお、図7は、図5に示したマルチバ尔斯発生器1-6、および図6に示した記録信号発生器2-1に、プロセッサブルディレクション1-7と1-8を加えて図示したものであり、図8は、その各部の信号の波形を示している。

【0.1.3.1】マイクロ1-1(図3)からのクロックCLK (図8 (A))は、DEF5-1、5-2、5-4、インバータ5-5、ORゲート5-8に供給されている。また、変調データAA [3]は、DEF5-1に供給されており、このDEF5-1、さらにDEF5-2、5-4において、クロックCLKの立ち上がりタイミングで、順次クロックされる。

【0.1.3.2】ここで、kを時間に対応する変数とし、DEF5-2のラッチ出力(Q)をDATA [k]と表すことにする。この場合、DEF5-1に供給される変調データAA [3]はデータDATA [k+2]と、DEF5-1のラッチ出力はデータDATA [k+1]と、DEF5-4のラッチ出力はデータDATA [k-1]と、それぞれ表すことができる。

【0.1.3.3】一方、インバータ5-5では、クロックCLKが反転され、DEF5-3 (DEF5-3のクロック端子)に供給される。DEF5-3の入力端子(D)には、DEF5-1のラッチ出力であるデータDATA [k+1]が供給されており、DEF5-3では、データDATA [k+1]が、反転されたクロックCLKの立ち上がりタイミングでクロックされる。

【0.1.3.4】この結果、データDATA [k]は、例えば図8 (B)に示す未だ立ち上がりしていないDEF5-3のラッチ出力と、図8 (D)に示すようないくつかのデータDATA [k]と、またクロック端子に進んだデータDATA [k+1-2]が得られる。

【0.1.3.5】DEF5-2または5-3のラッチ出力であるデータDATA [k]またはDATA [k+1-2]は、プロセッサブルディレクション1-8または1-7に供給され、ここで、それぞれ微小量xまたはyだけ遅延され、これに由り、データDATA [k] (図8 (B))またはDATA [k+1-2] (図8 (D))は、それぞれ、図8 (C)または(E)に示すように遅延データDATA [k] (図8 (B))またはDATA [k+1-2] (図8 (D))とANDゲート6-2に供給される。これにより、ANDゲート6-1に供給され

【0.1.3.6】ANDゲート6-1では、遅延データDDATA [k] (図8 (C))およびDDATA [k+1-2] (図8 (E))とANDが演算され、(x+y)M<sub>1</sub>のGATEが生成される。このゲート信号GATEは、ANDゲート6-2に供給される。

【0.1.3.7】ここで、nM (nTの幅のHレベル)のデータDATA [k]に対しては、幅が(n-x-y)Tのゲート信号GATEが生成される。

10 【0.1.3.8】一方、DEF5-4では、DEF5-2からのデータDATA [k]がクロックされることにより、それより1クロック遅れたデータDATA [k-1]とされ、その反転出力!DATA [k-1] (!は反転を表す)が、ANDゲート5-6の一方の入力端子に供給される。ANDゲート5-6の他方の入力端子には、DEF5-2のラッチ出力であるデータDATA [k]が供給されており、ANDゲート5-6では、データ!DATA [k-1]とDATA [k]とのANDが演算されることにより、図8 (G)に示すように、データDATA [k]の始端をその始端とする、1クロック分のバ尔斯幅を有する始端バ尔斯TOP (この始端バ尔斯TOPは、データDATA [k]の立ち上がりエッジ部分での微分値に相当する)が生成され、ORゲート5-8に供給される。

【0.1.3.9】また、ANDゲート5-7には、DEF5-1から、データDATA [k+1]を反転した!DATA [k+1]データと、DEF5-2から、データDATA [k]とが供給されており、そこでは、データ!DATA [k+1]とDATA [k]とのANDが演算される。この結果、ANDゲート5-7では、図8 (H)に示すように、データDATA [k]の終端をその終端とする、1クロック分のバ尔斯幅を有する終端バ尔斯END (この終端バ尔斯ENDは、データDATA [k]の立ち下がりエッジ部分での微分値に相当する)が生成され、ORゲート5-8に供給される。

【0.1.4.0】ORゲート5-8では、その出力端に供給されるクロックCLK (トライバ尔斯)、図8 (A)の始端バ尔斯TOP (図8 (G))、および終端バ尔斯END (図8 (H))とORが演算され、これにより、図8 (I)に示すようにデータ (データMP)が生成される。このデータMPはANDゲート6-2に供給される。

【0.1.4.1】ANDゲート6-2では、ゲート信号GATE (図8 (F))とデータMP (図8 (I))とのANDが演算され、これにより、図8 (J)に示すように、長さがnTのデータに相当する結果が得られる。式 $xS + (1-x)M + (n-2)(0.5S + 0.5M + yM) + (0.5-x)S$  (表現されると式 $REC$ と呼ぶ)が生成される。

【0.1.4.2】次に、例 $x=1, y=0.5$ 、長さ5Tのデータは、式 $1.5M + (n-2)(0.5S + 0.5M + yM)$

MD + 0, 5 Sで表現されることになり、これは、前述した記録方式Aにおける場合と同じものとなる。

【0143】また、例えば、 $x = y = 0$ 、 $MD = 0$ 、 $5 S$ の場合は、式1、 $0 M + 0 n = 2$  となり、 $MD + 0, 5 M + 0, 5 S$ で表現されることになり、これは、前述した記録方式Bにおける場合と同じものとなる。

【0144】以上から、遅延量xおよびyを、 $x = y$ として、 $0, 0$ 乃至 $0, 5$ の範囲で変化させることで、線速度（ここでは、上述したように、バーン）にしたがって、いわば、記録方式A（図2（C））とB（図2（D））との間を連続的に変化させることのできる記録方式（記録補償方式）を実現することができる。従つて、線速度に対応した記録補償を容易に施すことができ、例えば、MCAV方式による、記録容量が大で、高速なランダムアクセスが可能なノードを実現する事が可能となる。

【0145】さらに、遅延量xおよびyを、線速度だけでなく、変調カーラム並びに基準点を変化させることで、特に、駆動マークおよびスタートに対するデータに対して、熱干涉などに起因するエラジの位置ずれについての記録補償を行うことが可能となる。

【0146】なお、遅延量xおよびyを、上述したように、 $0, 0$ 乃至 $0, 5$ の範囲で変化させるようにした場合、始端バルスおよび終端バルスのバルス幅は、 $1, 0 T$ 乃至 $1, 5 T$ の範囲で変化するが、遅延量xおよびyを、その他、例えば、 $0, 0$ 乃至 $1, 0$ の範囲で変化させるようにした場合には、始端バルスおよび終端バルスのバルス幅は、 $0, 5 T$ 乃至 $1, 5 T$ の範囲で変化する事となる。

【0147】ここで、以上のようにして得られる記録バルスは、始端バルスおよび終端バルスの位置の他、そのバルス幅も変化する点で、そのルーティングの位置のみが変化するバルス幅は、必ずしも $1, 0 T$ である（前述した図1-7の記録補償回路の構成においては、根本的に異なる）。

【0148】また、前述の図1-7における記録バルスは、その始端バルスおよび終端バルスの位置が、走行する車両によって異なる場合において、それを対応して、記録回路4から出される記録バルスは、始端バルスから走行方向に沿って、その位置が変化する（これに伴い、その走行のバルス幅も変化する。その結果、記録回路4の出力は、通常は走行場合に付随してあるにもかかわらず、その走行場合は走行場合の走行方向に付随する）。

【0149】したがて、図1-7のルーティングを走行する車両が走行方向を考慮した場合、記録回路4は、上記のICを用いて構成され、したがって、ICでは、走行方向を考慮する。すなはち、CMOSで記録する走行方向を考慮して、上記の走行方向、IC化の結果は、その

C内部に、いかにして、精度の良いプログラマブルディレクタ（インテグレートド18を構成せらるる問題となる。

【0150】すなはち、このICを用いて、図1-7を構成する18を複数のデータをカバーケートに接続して構成し、その接続段数によって、遅延量xおよびyを設定するようにした場合などにあっては、CMOSプロセスの温度や、速度、さらには電源電圧などの種々の要因によって、1乃至3倍程度の遅延量の変動が生じる。従つて、當時、所望の遅延量xおよびyを得る

10 ことができるようになることが、記録回路4をCMOS化するにあたって、重要な問題となる。

【0151】そこで、記録回路4を、例えば、図9に示すように構成し、これにより、1チップのICとして実現するようになることができる。

【0152】即ち、図9は、記録回路4の他の構成例を示している。なお、図中、図3における場合と並ぶる部分については同一の符号を付してあり、以下では、その説明は、適宜省略する。即ち、この記録回路4は、セレクタ7-1および7-2が新しく設けられ、さらに、インバータ7-3または7-4または7-5がそれぞれ設けられている他は、基本的に、図3における場合と同様に構成されている。

【0153】併し、図9の実施例においては、マイコン1-1は、図3で説明した信号の送受信を行う他、さらに、信号DLE、TFSの送信、並びに信号FLAG1およびFLAG2の受信も行い、また、そのまた各信号の送受信に伴う制御なども行なわれている。

【0154】さらに、図9の実施例では、遅延量x、y30 に対応するRISE DATA、FALL DATAが、4ビットではなく、6ビットとされており、これに伴い、RAM1-5は12（ $= 6 + 6$ ）ビットのRAMとされている。また、DEF1-9または2-0は、RAM1-5の出力された12ビットのデータDO「11：0」からなる12ビットDO「5：0」または上位6ビットDO「11：6」を、それぞれラッチするようになされている。

【0155】セレクタ7-1は、例えば、図3のセレクタ7-1、セレクタ7-2のA端子に、信号DLE、TFS40 40、DEF1-9または2-0のうちの下位6ビット「5：0」が、その入力端子A、Bと、A「5：0」にそれぞれ出力されるようになされている。さらに、セレクタ7-1の入力端子B「5：0」には、DEF1-9の「5：0」が、その入力端子A、Bと、A「5：0」にそれぞれ出力されるようになされている。さて、セレクタ7-1は、右端DLE、TFSが、例えは1-1ではO高をさすか入力端子A「5：0」またはB「5：0」のいかれを選擇する。この出力端子C「5：0」が、出力するものに付随している。即ち、セレクタ7-1は、信号DLE、TFSが1-1または0-1と、それを1-1または0-1とすることで下位6ビット「5：0」

O<sup>1</sup>、またはDEF1:9で選択されたRAM15が  
選択される。このDO-11:0、DO-14:0、DO-15:0  
を、それ選択によって選択する  
選択される。このDO-11:0、DO-14:0、DO-15:0  
は、選択量によって選択される。選択量  
は、DATAFALL<sub>1</sub>DATA[5:0]上にて、  
オペレーターがブルジョン7:3に供給されるよう  
なされている。

【0156】セレクタ72も、セレクタ71と同様に6ビットのセレクタで、そこには、マイコン11から、信号DLE<sub>1</sub>TESTが、データD[11:0]のうちの上位6ビット[11:6]が、その入力端子A/Bと、A[5:0]はそれぞれ供給されるようになされている。さらに、セレクタ72の入力端子B[5:0]には、DFE20のラッチ出力が供給されるようになされている。そして、セレクタ72は、セレクタ71と同様に、信号DLE<sub>1</sub>TESTが、例えば1または0のとき、その入力端子A[5:0]またはB[5:0]への入力を選択し、その出力端子C[5:0]から出力するようになされている。従って、セレクタ72においては、信号DLE<sub>1</sub>TESTが1または0のとき、マイコン11からのデータD[11:0]のうちの上位6ビット[11:6]、またはDFE20でラッピングされた、RAM15から読み出されたデータDO[11:0]のうちの上位6ビットDO[11:6]が、それぞれ選択されて出力される。セレクタ72の出力は、遅延量xに付帯するデータR1SE<sub>1</sub>DATA[5:0]として、プログラマブルディレイライン74に供給されるようになされている。

【0.1.5.8】本規則は、本規則の規定に定められた事項を除く、7.3、7.4.1項及第11.1.6項、信號灯、TES、T、及第11.1.1項、第11.1.2項、第11.1.3項が供給されないときの運航規則、第11.1.4項、後述する運航測定処理の規則、及び処理結果における規則E.L.A.G.2、E.L.A.G.1が適用される事項を除く範囲

【0160】DESIGN 大力魔子（D·魔怪、魔力魔子）由魔怪（Q·魔怪）和魔子（Q·魔怪子）合体而成的魔怪。

り、左側では、マイクロ 11からのクロック CLK (図 11 (A)) が、例えば、高電位のエッジをタップして、その高電位を D (図 11 (B)) へ入力され、また、その D へ、DEF81 (図 11 (C)) から出力 (Q) して、クロック CLK を 2 倍周した信号 REF-SIGNAL (図 11 (B)) が、出力される。

【0-16-1】 既ち、クロック CLK のデューティー比は、一般的には 50% ではないため、DFE81においては、クロック CLK を 2 分割することで、デューティー比が 50.0% の信号 REFSIGNAL が生成される。

【0162】 信号REF SIGNALは、車輌延素子S2およびORゲートS3の一方の入力端子に供給される。

【0163】単位遅延素子(DCELL)82は、例えば、[412]によると、インバータ(INV)を2段に直列接続して構成されており、そこでは、信号REF SIGNALが僅かな時間だけ遅延され、ORゲート83の他方の入力端子に供給される。ORゲート83では、信号REF SIGNALと、それを単位遅延素子20 82で僅かな時間だけ遅延したものとのORが演算され、その演算結果が、セレクタ84の入力端子Bに供給される。

【0164】セレクタ84の入力端子Aには、マルチハルフ発生器16からのデータDATA1(DI<sub>1</sub>~IN)が供給されており(これはグレーバルディレイライン74においては、データDATA2)。また、その入力端子A/Bには、マイクロ11からの信号DI<sub>1</sub>~TESTが供給されている。セレクタ84は、信号DI<sub>1</sub>~TESTが、例えは1または0のとき、入力端子AまたはBに供給されるデータDATA1(DI<sub>1</sub>~IN)またはNORゲート83の出力を選択し、その出力端子から出力する。このセレクタ84の出力は、遅延マトリクス85およびNORゲート87の一方の入力端子に供給される。

【01-5】尾端アーチス85は、例15、図13.5  
の如きに、図12の頭端連結子が、1つ缺いて置き、直列に接続されて構成されている。すなは、図1  
5の頭端側では、頭端アーチス85は、頭端子13  
等の頭端連結子と、1つ缺いて構成されて構成さ  
れており、その13の頭端連結子の位置が缺いて

40. 本研究では、タスクの供給を目的とする「入力」、またタスク6には、選択マトリクス8-5の最初の単位選択替子に入力される前に用意も供給されている。従って選択マトリクス8-5の出力、タスク8-6の出力、タスク8-4の出力、SEL-1の出力、O-0が至6-3の最初の替子でそれが得られる。6-4の結果は測定終了時。

DATA[5:0]が供給される) セレクタ8.6  
は、セレクタ7.1を用いてFALL DATA

4. 信号「DATA1」を遅延し、信号「DATA1」を遅延した信号「DATA1」をデータ発生器16からデータDATA1を、信号「ALL\_DATA[5:0]」にしたがって遅延した信号「DDATA1(DL\_OUT)」として出力する。

【0167】また、このデータDATA1 (DL\_O\_UF) は、NORゲート87の他方の入力端子にも供給される。NORゲート87では、セレクタ84の出力

(SEL\_IN) と、センサ86からのデータDATA1 (DL\_OUT) とでNOR (論理和の否定) が演算され、その演算結果NORが、RSFF (RSフラップフロップ) 88のS端子に供給される。

【0-16-8】RSFF88のR端子には、マイコン11からのクリア信号CLR(H-L-I-F-E)が供給されており、そこでは、クリア信号CLRが0または1のとき、それぞれ、NORゲート87の出力がラッ奇され、またはその内容(セッキしている値)がクリアされて出力される。RSFF88の出力(Q)は、フラグFLA G1として、マイコン11に供給される。

【0-16-9】従って、信号 $DL\_TEST$ が1のとき、セレクタ8-4では、ORゲート8-3の出力が選択され、遅延マトリクス8-5とNORゲート8-7に供給される。ここで、ORゲート8-3の出力は、信号 $REF\_SIG-  
NAL$  (図1-1 (B)) と、それを僅かに遅延した信号の論理和であるから、それは、図1-1 (C) に示すように、信号 $REF\_SIG-  
NAL$ の立ち下がりエッジを僅かに遅延したものとなる。

【0-17-0】草薙+ラクタ85では、セレクタ84の出力を、0乃至63の単位選択番号でそれぞれ選択した64の信号が出力され、セレクタ86では、その64の信号のうちの、データFALL DATA[5:0]

(DS11510) に接続するもの。選択素子の選択信号 DI-OUT は、NORゲート87の出力端子45

【0-17-1】にて、信号E-E-SIGNAL (G41-1 (B)) に対する、選択信号D1-L, OUT (G4-8-4) の出力を、G4-6-3の重複延遲素子 (G4-6-4) に印加する。G4-6-3の延遲量は、G4-6-4の延遲量より大きい。図11-1 (D)) の延遲量は、クロックCLKの初期立ち上がりであるとき、G4-6-4の初期立ち上がりであるときとは、逆相位となる。G4-11 (E) に示すように、NORゲート8-7の出力はH1-1-1が現れる。また、その延遲量は、クロックCLKの初期立ち上がりであるとき、NORゲート8-7の出力はL1-1-1が現れる。図11-1 (E))

【0172】NOF<sup>50-58.7</sup> mBuH<sup>1-3.387</sup>  
水楊酸 51.1 (E) 50.7% CLR 51.1  
(E) 51.1 (H) 51.1 (E) 51.1 (H) 51.1 (E)  
水楊酸 FLAG 1 51.1 (E) 51.1 (H) 51.1 (E)

た、NOR<sup>3</sup> = 18.7 の出力が L レベルのままである場合 (14.11 E) の各電位値を CLR (14.11)

・P<sub>2</sub>O<sub>5</sub> = 1.2% と、一般的な肥料と、P<sub>2</sub>O<sub>5</sub> 1.0% と、ほとんど同じで、P<sub>2</sub>O<sub>5</sub> 1.1% と、最も多く含まれる (G) 。

【0173】以上から、信号DL<sub>1</sub>TESTを0とする  
とともに、クリア信号CLRを1として、RSFF88  
をリセットし、データFALL DATA[5:0]

10 (DSEL [5:0]) 、即ち、セレクタ8.6で選択する信号を変化させ、クリア信号CLRを0にし、その後、信号DLINE TESTを1にすることを繰り返すことにより、FLAG1が0のままである場合のデータFALL\_DATA [5:0] (DSEL [5:0]) が得られ、これが、1クロック分の遅延 (時間Tの遅延) に必要な単位遅延素子の枚数に対応する値ということになる。

【0-17-4】 このように、[図1-0]のプロセス・マップル・ライセンス73によれば、1タスク分の起動に必要な単位選択率子（ここでは、[図1-2]に示したようにインバータで構成される）の投数を測定することができる。

【0175】ここで、信号DL\_TESTを1にした場合、図9のセレクタ74では、上述したように、マイクロ11からのデータD「11：0」のうちの下位6ビットD「5：0」が選択され、データDALL\_DATA「5：0」(DSEL「5：0」)として、プログラムブルディレインライシン73に供給される。従って、マイクロ11は、アカウFLAG1を監視しながら、上述したように、信号DL\_TESTおよびクリア信号CLRを変化させるとともに、データD「11：0」を変化させること上で、1ナロック分の遅延に対するデータDALL\_DATA「5：0」を認識することができる。この認識結果に基づいて、RAM15は、適切な値のデータを上書きせることとする。

【0176】一方、記録再生を実行する場合に、音源、音量、音色などの信号DLE1-F1-E8-Fを0番地番号にて、同0番地番号を7番地番号にて、上述用法にて、DLE1-F9の中央選択され、左側、右側、RAM1-5の記録出力されたデータDO[11:0]が左側、右側の各DO[5:0]に送られ、RAM1-5 DATA

40 51:0 -> DSSEL[5:0] として「左」のデータがデータレジスタ73に供給される。この場合、右データレジスタ73では、左クタ84(左クタ10)において、左クタ84(左クタ10)が発生器16:0に「左」の DATA1(DL1)を強制入力し、左クタ84(左クタ85)に供給される。右クタ、右クタ86(右クタ11)は、左クタ84(左クタ10)が発生器16:0に「左」の DATA1(DL1)を強制入力し、右クタ86(右クタ11)が発生器16:0に「左」の DATA1(DL1)を強制入力する。左クタ84(左クタ10)が発生器16:0に「左」の DATA1(DL1)を強制入力する。左クタ84(左クタ10)が発生器16:0に「左」の DATA1(DL1)を強制入力する。

T)として出力される。

【0177】以上のように、これはグリーバルゲートライン73、74によれば、1タクロック分の遅延に必要な単位遅延素子の遅延を測定することができる。そこで、記録回路4を1モード化した場合には、CMOSゲートの温度や、速度、さらには電源電圧などの種々の要因によって、1つの単位遅延素子の遅延時間が変動したとしても、その変動に対応して、RAM15に記憶させるデータD「1.1:0」を書き換えることで、対応可能となる。

【0178】なお、上述のような1タクロック分の遅延に必要な単位遅延素子の遅延の測定と、その測定結果に対するデータへのRAM15の書き換えは、例えば、システムの電源投入時や、あるいは、電源投入後に定期的に行なうようにすることが可能である。

【0179】また、以上のようなプログラマブルゲートライイン73(74)については、本件出願人が先に出版した、例えば、特願平7-244963号などに、その詳細が掲載されている。

【0180】以上、本発明を、相変化ディスクを駆動するディスクドライブに適用した場合について説明したが、本発明は、例えば、カード形状などの、ディスク形状以外の記録媒体を駆動する装置にも適用可能である。さらに、本発明の適用範囲は、相変化による記録や、MCAV方式による記録などに限定されるものではない。

【0181】なお、本実施例においては、遅延量xとyを、その値を同一にして変化させるようにしたが、遅延量xとyは、同一である必要はない。

【0182】また、本実施例では、プロダクタゲートライイン17において、DEF53(017)で得られた半クロックだけ時間的に先にデータD DATA1を遅延させるようにしたが、DEF53では、1タクロックだけ時間的に先にデータを生成し、プロダクタゲートライイン17において、このデータを遅延させることも可能である。この場合、基本のHTのデータが切替わる記録ヘッドは、式xS+(1.5-x)M+(n-3)-(0.5S+0.5M)+0.5S+yM+(1.0-y)Sで表される。よって

【0183】

【発明の効果】請求項1に記載の、データ記録装置および請求項5に記載のデータ記録方法によれば、記録バースの始端位置の位置を変化させることがより、そのバース幅が変化されるとともに、終端バースの終端位置の位置を変化させることによる、データバース幅の変化される。従って、例を以て説明すれば、記録速度などに対する記録補償を容易に操作することが可能となる。

【0184】請求項6に記載の記録媒体には、始端位置を変化させることによる、データバース幅の変化され

記録バースにしたがってマークとスペースが形成されており、そこで、例えば、高密度記録は、データバース幅が縮む場合である。

【0185】請求項7に記載のデータ記録装置によれば、長さがnタクロックに対応する記録バースが、式xS+(1.5-x)M+(n-2)-(0.5S+0.5M)+yM+(0.5-y)S、または式xS+(1.5-x)M+(n-3)-(0.5S+0.5M)+0.5S+yM+(1.0-y)Sで表され、この記録バースにしたがって記録が行われる。従って、例えば、線速度などに対する記録補償を容易に施すことが可能となる。

#### 【図面の簡単な説明】

【図1】本発明を適用したディスクドライブの一実施例の構成を示すブロック図である。

【図2】図1の記録回路4における記録補償方法を説明するための図である。

【図3】図1の記録回路4の構成例を示すブロック図である。

20 【図4】図3のコントローラ4-2の構成例を示す回路図である。

【図5】図3のマルチバース発生器1-6の構成例を示す回路図である。

【図6】図3の記録信号発生器2-1の構成例を示す回路図である。

【図7】図3のマルチバース発生器1-6、プログラマブルゲートライイン1-7、1-8、および記録信号発生器2-1の構成例を示すブロック図である。

【図8】図7のマルチバース発生器1-6、1-7、1-8、および記録信号発生器2-1の動作を説明するためのダイヤグラムである。

【図9】図1の記録回路4の他の構成例を示すブロック図である。

【図10】図9の記録回路4-2の構成例を示す回路図である。

【図11】図10の記録回路4-2の構成例を示す回路図である。

【図12】図10の単位遅延素子8-2の構成例を示す回路図である。

30 【図13】図10の記録回路4-2の構成例を示す回路図である。

【図14】相変化ディスクの記録原理を説明するための図である。

【図15】ターゲットヘッド、データヘッドを説明するための図である。

【図16】図4の記録補償方法を説明するための図である。

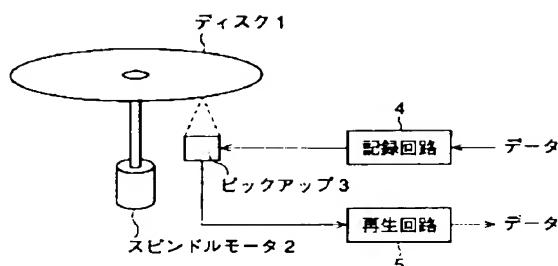
【図17】柱状記録補償を行なう回路4-2の構成を示す回路図である。

50 【特許の説明】

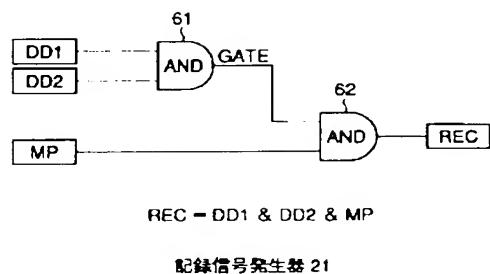
1 ディスク, 2 スピンドルモータ, 3 ピックアップ, 4 記録回路, 5 再生回路, 11 パソコン, 12 フラッシュメモリ, 13 フロッピーディスク, 14 フロッピーディスク, 15 RAM, 16 フロッピーディスク発生器, 17, 18 プログラマブルカレシライザ, 19, 20 DFF, 21 記録信号発生器, 22 ゲート回路, 31 乃至 34 AND ゲート, 35, 36 NOR ゲート, 37 インバータ (NOT ゲート), 38 OR ゲート, 39, 40 A

NDゲート, 51 乃至 54 DFF, 55 インバータ, 56, 57 ANDゲート, 58 ORゲート, 61, 62 ANDゲート, 71, 72 ORゲート, 73, 74 フロッピーディスク発生器, 81 DFF, 82 単位遅延素子, 83 ORゲート, 84 セレクタ, 85 遅延マトリクス, 86 セレクタ, 87 NORゲート, 88 RS FF

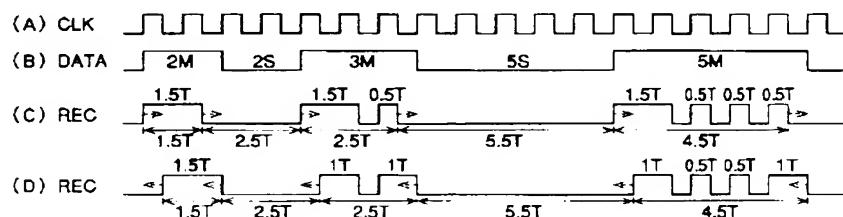
【図1】



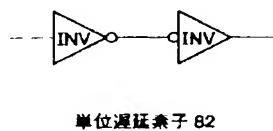
【図6】



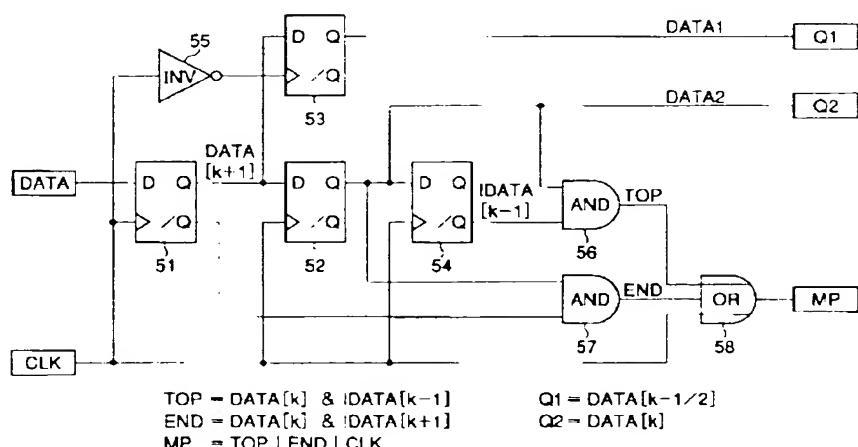
【図2】



【図12】

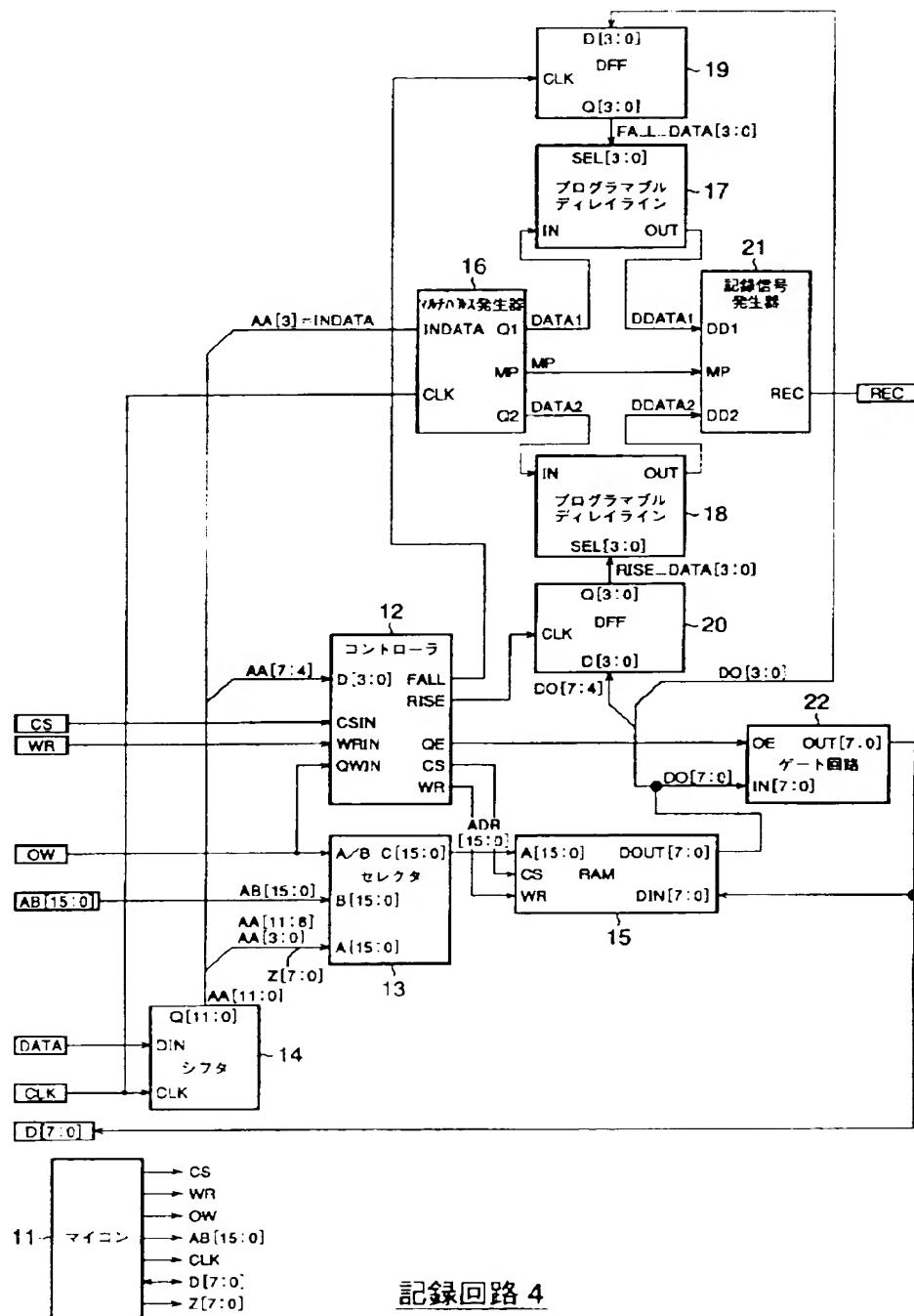


【図5】



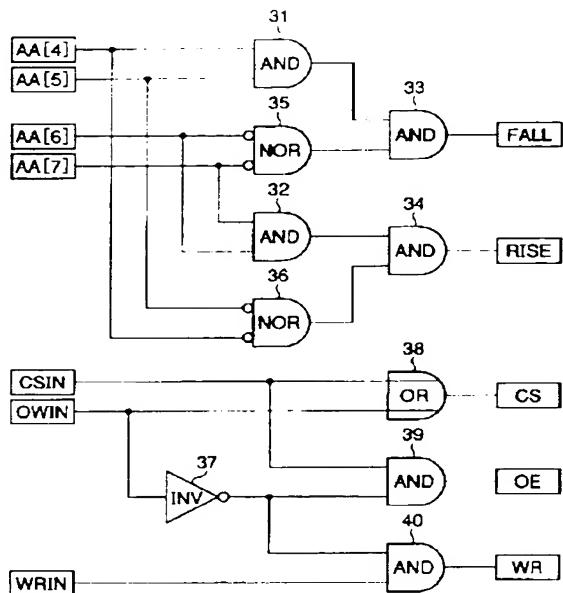
マルチパルス発生器16

【図3】



記録回路4

[ 151 ]

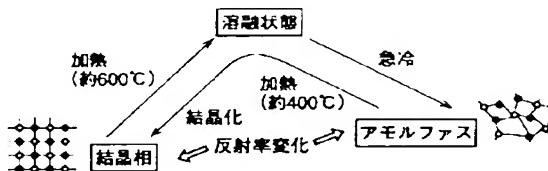


FCOUT = D[0] & D[1] & !D[2] & !D[3]  
RCOUT = !D[0] & !D[1] & D[2] & D[3]

DEOUT = CSIN & IOWIN  
CSOUT = CSIN | CWIN  
WROUT = WRIN & IOWIN

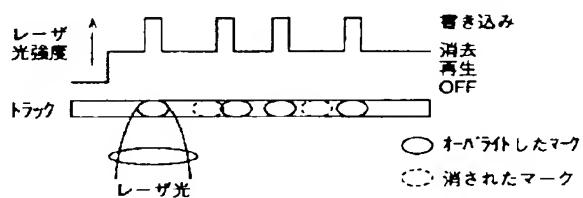
## コントローラ 12

[441-4]



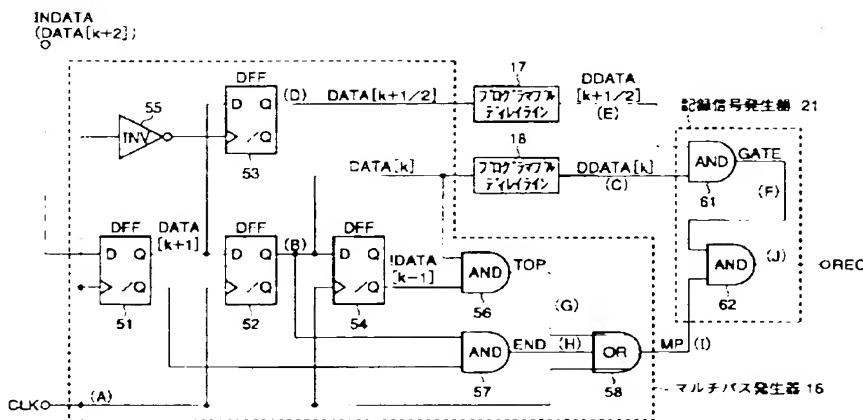
## 相変化ディスクの記録原理

〔〔2〕15〕

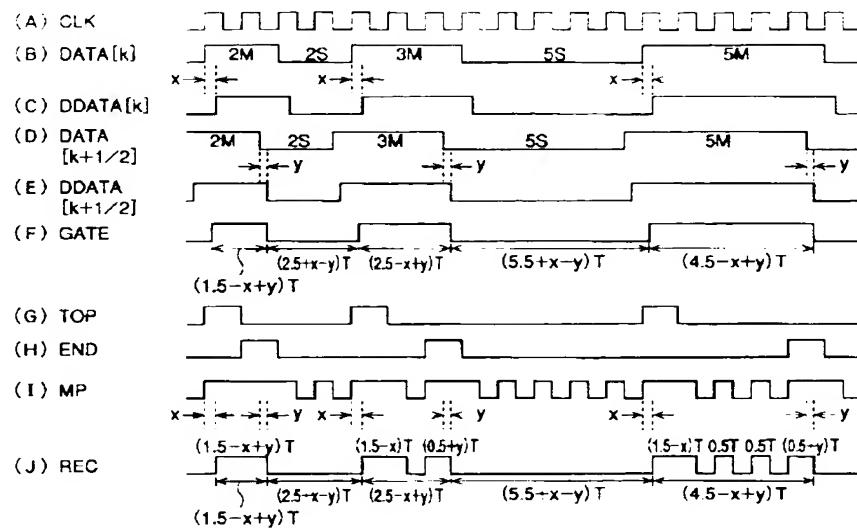


## ダイレクト・オーバライト

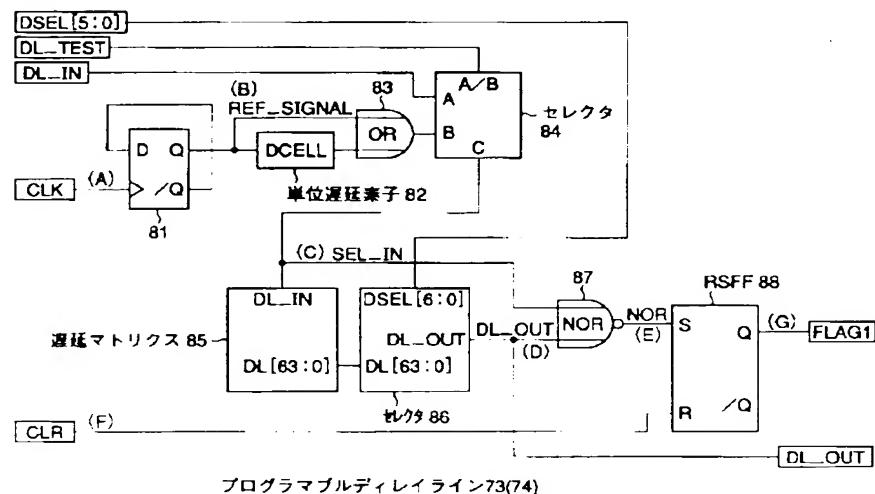
〔〔二〕〕



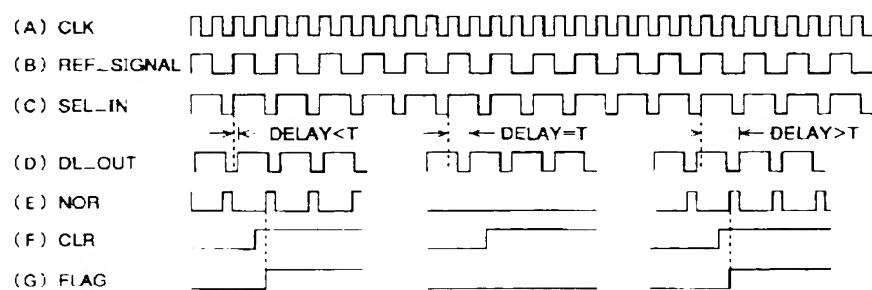
【図8】



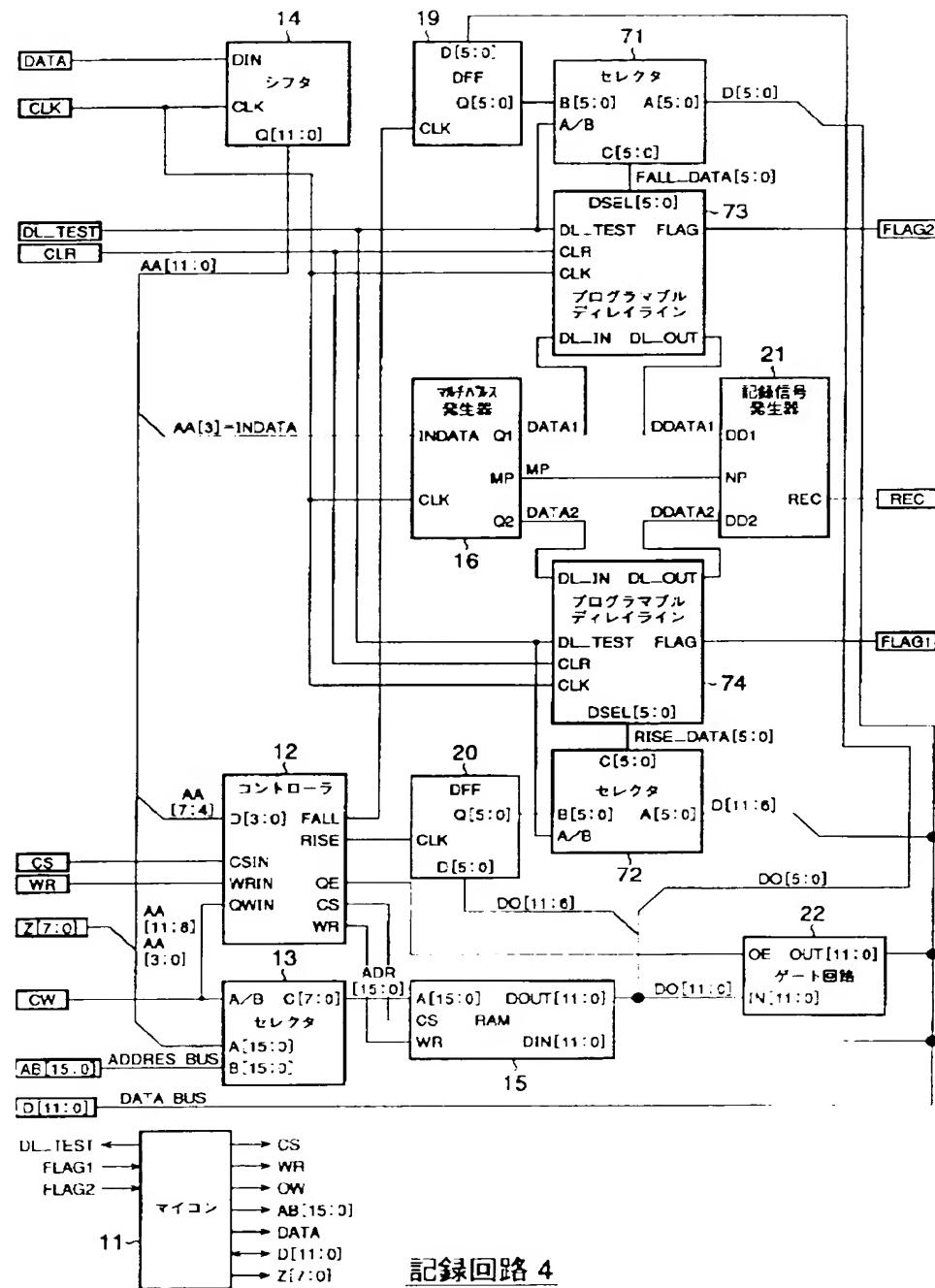
【図10】



【図11】

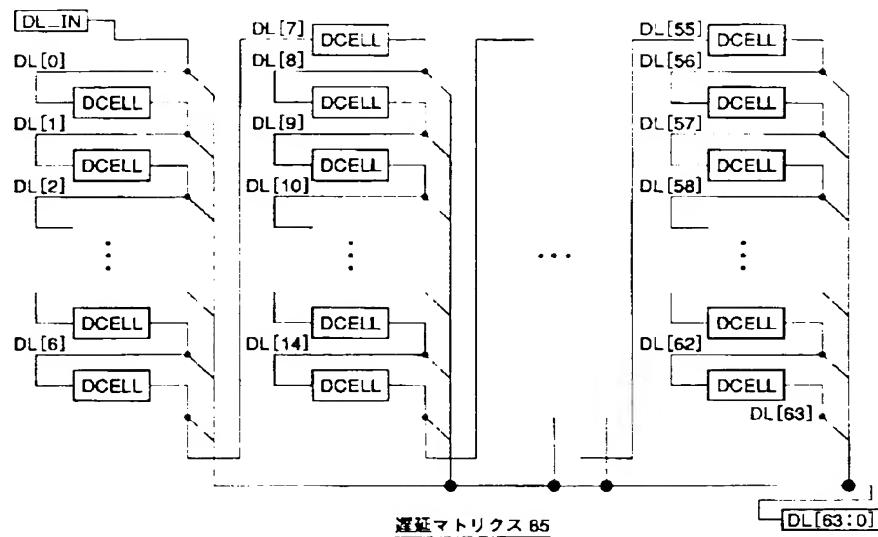


【図9】

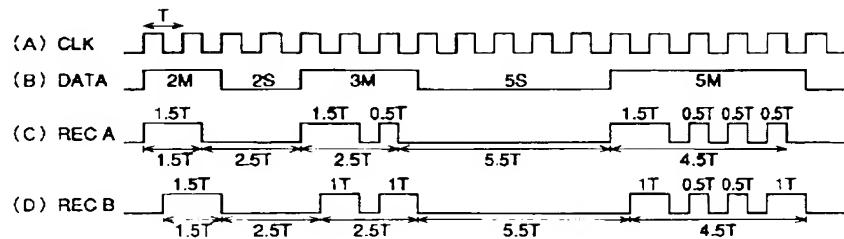


記録回路4

[ - 13 - ]



〔四〕 1 6 〕



[(x) 1 7 ]

